

北斗/GPS 双模时频同步系统在地面站的应用研究

张妍妍^{1,2,*}, 刘文涛³, 王怀^{1,2,4}, 范文斌^{1,2}

¹航天恒星科技有限公司, 北京, 中国

²空间信息体系与融合应用全国重点实验室, 北京, 中国

³智能空间信息国家级重点实验室, 北京, 中国

⁴北京交通大学电子信息工程学院, 北京, 中国

*通讯作者

【摘要】卫星地面站数据接收系统对时间和频率同步具有严苛的精度要求, 时频设备作为系统核心需为全站提供统一的时间基准和频率参考。针对传统单 GPS 授时模式存在的可靠性不足问题, 结合北斗三号全球组网的技术优势, 本文提出一种基于铷原子钟的北斗/GPS 双模时频系统。该设计采用数字化锁相环技术, 通过 FPGA 实现纳秒级时间戳处理, 并引入硬件电路设计改良创新。实验测试表明, 系统频率稳定度达到 $2.73E-11/20ms$, 时间准确度优于 $8.64E-13/\text{日}$, 满足卫星测控系统对高精度时频的工程需求。研究结果为天地一体化网络下的卫星地面站时间同步提供了新的解决方案。

【关键词】时频统一; 时频设备; 北斗卫星; 卫星地面站

1.引言

随着卫星通信的发现与研究应用, 人类进入了卫星通信时代。各种卫星通信产品无时无刻不在改变着人们的生活。随着现代科技的发展, 时间和频率信息在航天与卫星通信领域应用越来越广泛, 以卫星地面站为例, 遍布在全国各地的卫星地面站都需要接收卫星数据, 完成跟踪、遥控、遥测任务, 对测量与控制所需要的时间精度要求不断提高。因此无论对于军用还是民用, 生产制造一个高精度的时频设备都成为了研究的重点[1]。

时频系统, 即时间和频率统一系统。卫星地面站在该系统下可使用规范的时间和频率信号, 使整个卫星地面接收系统在时间和频率上实现协调一致。时频设备作为该系统的重要设备, 可以提供站址地理位置参数; 同时可接收地面站送来的频标和时码信号(简称外时统), 产生内部各设备所需的频标和时间码信号; 配备内时统和内 10MHz 频率源, 可替代站时统独立工作。因此对时频设备的研究至关重要。

本地频率源作为时频设备的核心部件, 主要作用是接收卫星时钟信号并完成校正, 将高度同步的时频信号进行输出, 以满足时频校准的要求, 是完成卫星通信时频统一的关键器件, 主要应用于卫星通信和测控领域。目前, 可作为选择的本地频率源包括晶

体振荡器、铷原子钟、铯原子钟、氢原子钟等。为了获得长时间守时和高精度同步, 本设计采用铷原子钟作为本地频率源, 这样可解决时频设备体积过大、精度低、稳定度低等问题。

本论文介绍一种应用于卫星地面站的北斗/GPS 多功能时频设备, 内容包括电路设计方法、工艺技术及测试方法。该设计采用小型铷原子钟数字化电路工艺完成, 最终能够实现功耗低、可靠性高以及应用性灵活等优点[2]。在卫星地面站中采用该时频设备, 可解决前期使用晶体振荡器精度低和不能长期守时的问题, 并且可以将稳定度和准确度都可达到 E-12 量级, 授时精度优于 10 毫秒。

2.时码授时原理与设计

时统设备主要包括 2 个时码产生模块、主控模块、2 个授时接收机模块、信号输入模块、时码分配模块、频标分配模块以及 2 个电源模块组成, 其原理如框图 1 所示。

依据原理框图, 各模块主要组成简要介绍如下:

2.1 时码产生模块

时统设备内部包含有两个 1: 1 热备份的时码产生模块(产生器), 即时码产生模块 A 和时码产生模块 B, 每个时码产生模块实现的功能完全一致。每个时码产生模块内部均含有一个铷钟和一个高稳晶振, 时码产

生单元择优或手动选择外 B (DC) 码、接收机其中一种参考标准对单元内部的铷钟进行驯服[3]，并通过高稳晶振进行锁相，提高设备输出频标信号的稳定度以及相位噪声指标，提高铷钟频标输出的准确度，并产生单元内部的标准时间信息。

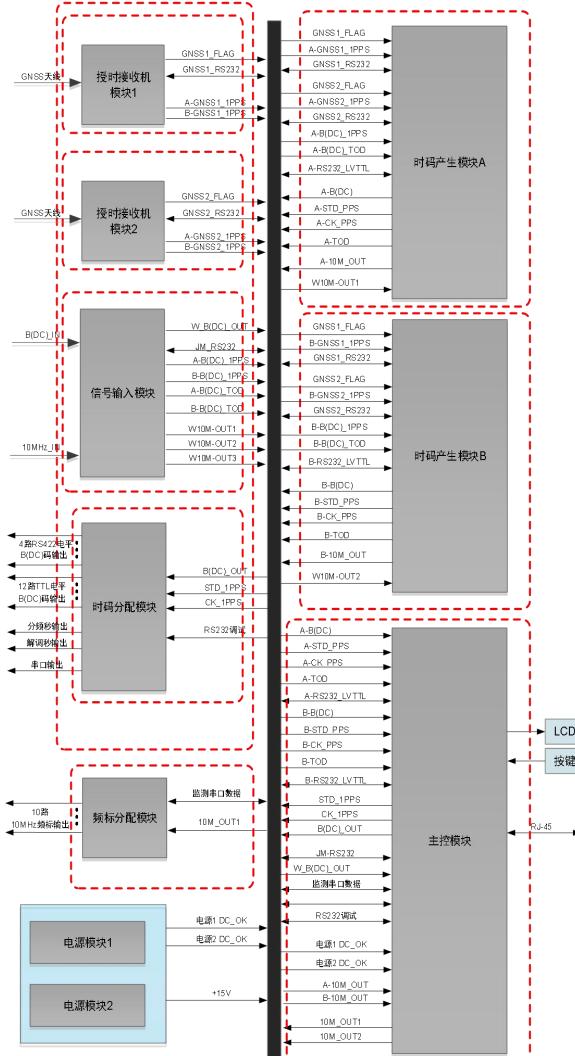


图 1. 时统设备原理框图

时码产生模块是系统的核心模块，其主要包含的功能有：具备接收外 B (DC) 码/接收机时间标准功能，具有原子钟驯服功能，能够通过参考标准对原子钟进行驯服，内置高稳晶振，能够输出高精度的 10MHz 频标信号，具有时码产生功能，能够产生标准的 1PPS 信号、B (DC) 时间码以及 TOD 时间信息，输出时码信号可选择 GPS 授时时间、北斗授时时间、内时码时间、外部 DC 码时间[4]，当外部输入 B 码中断时，可自动切换为内时统，自动工作在守时模式下，保证时码的输出连续性。时码产生模块的原理框图如图 2 所示。

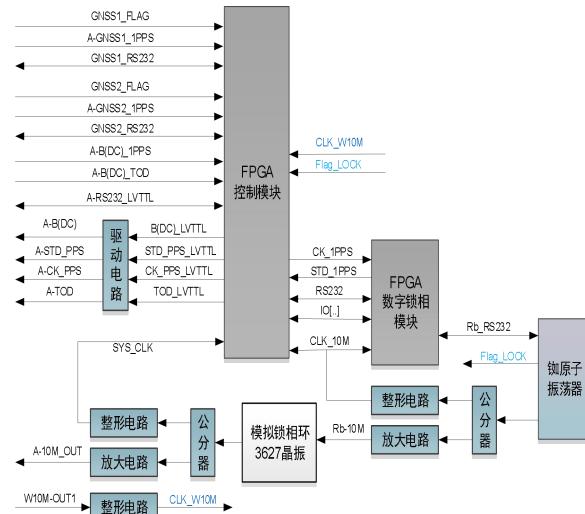


图 2. 时码产生模块原理框图

时码产生模块接收外 B (DC) 码、授时接收机 1、授时接收机 2 送出的秒脉冲信号和串口时间信息，并对其进行手动或自动选择使用，通过对铷原子振荡器进行驯服，实现本机输出频率与参考源保持同步。除铷原子振荡器外，设备还内置高稳晶振，经过铷原子振荡器对晶振的二次锁相，保证了设备输出频标信号的长期稳定性和短期稳定性。

驯服铷钟采用频率控制相位的原理[5]，即射频和秒信号的相位相参。通过高精度的秒信号时差测量，获得铷钟输出频率的准确度值，根据其数值在 CPU 的控制下设置频率微调量，当频率准确度驯服到 3E-12 范围内后，根据时差测量得相位偏移量，用超精细的频率微调（1E-12 单步）控制相位同步精度。

秒信号同步，系统采用移相式相位同步技术，将测量时差所需要的秒信号与输出秒分开，这样可以直接移相式相位同步而不影响系统的测量机制。

2.2 授时接收机模块

授时接收机模块的主要功能如下：模块包含双模授时接收机，为接收机模块提供简单的外部电路；对外部输入的电压进行处理，为接收机提供供电电压以及天线的馈电电压；具有嵌入式 CPU，对接收机的授时信息进行解析；可配置接收机授时方式为 GPS 授时、北斗授时以及混合授时方式[6]。

设备内部包含两个授时接收机模块，两个模块进行 1: 1 热备份，为设备内部提供标准的参考时间信息；模块通过接收天线卫星信号接收到 GNSS 卫星信号，并输出对应

的 GNSS 时间和状态信息。原理框图如图 3 所示。

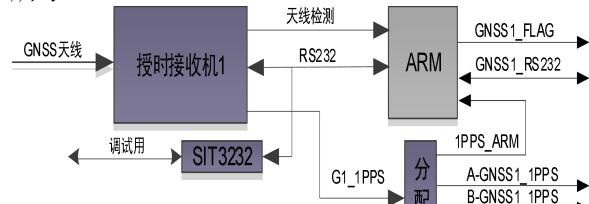


图 3. 授时接收机模块原理框图

授时模块选用和芯星通 UM220-IV L GNSS 多系统、高精度授时模块，该模块整合了滤波器、线性放大器及天线保护功能，同时具备优化的射频结构及干扰抑制能力，保证了模块在复杂电磁环境下依然可以提供良好的性能[7]。

授时模块内部有一个 64 位的时间戳寄存器，主时钟通过接收授时源时间基准信号 1PPS 调节时间戳寄存器，提高本模块的时间精度。当授时模块的 GPIO 外部中断口检测到授时源时间基准信号 1PPS 上升沿时[8]，根据超前或滞后秒脉冲对本地时间精度进行微调。从时钟输出时间基准信号 1PPS 供其它设备作为秒对齐的参考信号。

授时模块负责核心处理单元的通信，完成 1PPS 和 TOD 信息的处理；负责以太网收发器的上电初始化配置。

NTP/SNTP 授时精度取决于处理器时间戳的精度，并发响应能力主要取决于处理器的响应速度和优化。根据目前已有类似产品的指标测试，NTP/SNTP 授时精度在点对点测试时，能够在几百 us，并发响应数量约为 3000 次左右。

在本设计中，为使接收机模块能够正常工作，需要正确连接一下信号：为 VCC 引脚提供可靠的电源，电压纹波峰峰值不要超过 50mV；将模块所有 GND 引脚接地；连接 RF_IN 信号至天线[9]，线路保持 50Ω 阻抗匹配，尽量短且顺畅，避免走锐角；需确保将串口 1 连接到外部接口。这提高了授时模块的设计的可靠性和稳定性。

2.3 锁相技术应用

数字锁相模块主要是对铷原子振荡器的输出频率准确度进行调整，整个算法通过 FPGA 实现，锁相 FPGA 接收 FPGA 控制模块传输过来的参考秒信号并进行滤波，与经过铷钟 10MHz 分频产生的 1PPS 信号进行长时间相位比对，通过两者相位的变化情况对铷钟的压控电压进行调整，以提高铷钟输出

频标信号的频率准确度。数字锁相模块原理框图如图 4 所示：

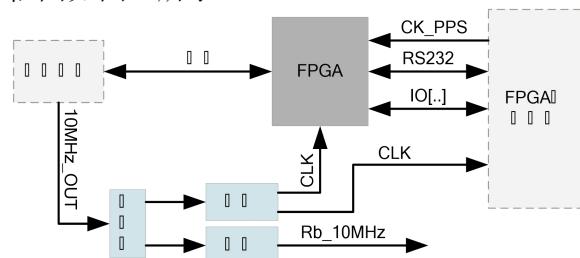


图 4. 数字锁相模块原理框图

数字锁相模块的硬件功能如下：连接铷原子振荡器，对铷原子振荡器进行电源供电以及信号连接；对铷原子振动器输出的 10MHz 频标功分为两路其中 1 路进行整形成为方波送入 FPGA 芯片作为时钟使用，另外 1 路进行驱动输出；FPGA 通过 RS232 串行接口与铷原子振荡器的压控端相连，通过串口通讯改变铷原子振荡器的压控电压，以达到调整输出频率准确度的目的；FPGA 与主控模块进行数据通讯。

铷原子振荡器虽然具有很小的漂移率，但是其短期稳定度却只有 $2E-11/1s$ 左右，并且前端的相位噪声比较差，所以需要一个高稳晶振来保证标准频率的短期稳定性以及相位噪声指标。铷原子频标锁定晶振的环路，系统采用了窄带环路技术和电压跟踪扫描技术，有效地解决了环路的锁定带宽与输出频率的相位噪声和频率稳定度的问题。模拟锁相模块原理框图如图 5 所示。

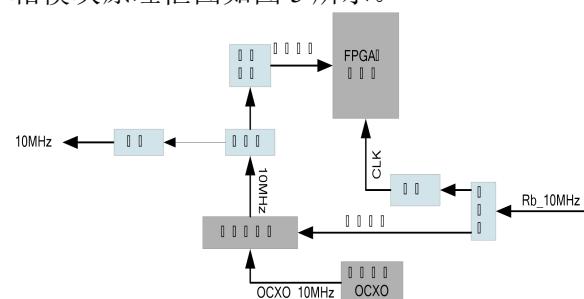


图 5. 模拟锁相模块原理框图

模拟锁相模块基本功能如下：具备锁相功能，能够对模块内部的高稳晶振进行锁相，以提高频标输出的短期稳定性及近端相位噪声。

3. 硬件电路设计与工程实现

本设计所测试的时频设备应用于卫星地面站中，在电路设计方面，我们对监控电路、显控电路、电源模块进行了设计和优化。下面对应用于卫星地面站的时频设备电路部分进行论证和工程实现分析。

3.1 监控电路工程实现

监控电路作为系统控制管理中心，该模块需要完成如下工作：

标准时间信号的生成部分是利用卫星接收的标准时间进行频率和相位校准，驯服晶振的频率、改变晶振输出信号的相位，实现标准时间信号的输出。

分系统的监控管理是采用背板 CAN 总线、RS485 总线与输入单元、电源板、输出单元以及时频模块等各子卡模块进行交互，收集分析各子卡模块的状态信息，并对各子卡模块进行必要的控制。

内外时统信号的选取主要是将外部输入的 10MHz 信号通过正弦转方波电路接入监控模块，实现对外 10MHz 的信号检测。外部输入的 B (DC) 码或 B (AC) 码通过电平转换电路，将信号转换为与监控模块适配的 TTL 信号进行检测。监控模块根据内时统信号、外时统信号的选取规则，选择相应的时统信号进行处理[10]。

对于监控电路与上位机的交互，我们设计通过 RJ45 网口，按照 SNMP 以及自定义 UDP 协议与上位机监控软件进行交互，上报采集的各子卡工作状态等参数，接受上位机各类控制命令，包括接收机选择、远程加电以及实时故障处理策略等。

核心处理器通过 CAN 总线和 485 总线，与设备内部各模块进行通信，完成数据的交互，同时采用 SNMP 协议与 UDP 协议，与上位机进行通信。从而实现整个设备的运行维护与管理[11]。

3.2 显控电路工程实现

显控电路以 ARM 芯片为主控芯片，实现信息输入设置、工作状态显示等人机交互功能。

显控电路使用主控 ARM 芯片的部分资源，用于响应按键输入和控制显示屏显示。

显控电路芯片按键输入与主控芯片的 I/O 引脚相连，引脚设置为输入，结合显示屏界面设计，按键输入控制实现显控单元的控制部分[12]。

本电路设计模块采用的显示屏是 AMOLED 串口显示模块。该显示屏与 ARM 处理器的串口实现通信功能，具有专门的串口指令集，可以发送相应的指令控制显示效果。该显示器还附带有 PC 端串口模块开发助手的上位机软件，通过与 RS232 转串口与电脑上位机通信，可实现电脑端辅助设计显

示界面[13]。

3.3 显控电路工程实现

电源采用双电源供电，一主一备，通过 AC/DC 转换，提供 220V 向直流的转换，为各功能模块提供 12V、5V、3.3V、1.8V 等各种低电压供电和控制上电顺序。

电源输入端采用浪涌抑制器，浪涌抑制器由输入滤波电路，防反接电路，浪涌抑制、稳压电路和输出滤波电路组成，其组成框图如图 6 所示。



图 6. 浪涌抑制器工作原理框图

浪涌抑制器可满足 GJB298-87 中 ±250V 尖峰脉冲电压、过压 100V/50ms 浪涌和启动扰动电压试验。

浪涌抑制器基本特性：稳态输入电压 9V~36V，瞬态输入电压 6V~100V；内置输入、输出滤波器，良好的电磁兼容；满足 GJB298-87 过压 100V/50ms 浪涌、±250V 尖峰；满足 GJB298-87 抑制要求、启动扰动电压；具有输入防反接保护，-40V 反接保护，0.5A 负载，恢复正常供电电压后，可以正常工作。

电源经过浪涌抑制后，输出的电源给板上的其它功能模块供电，通过 DC/DC 电源芯片 HE9436，将 12.4V 的外部电源降低到 5.4V，再通过 LDO 芯片 ASM1117 转换为 5.0V 电压、3.3V 电压、2.5V 电压、1.5V 电压，模块电源原理设计如下图所示，通过控制电源芯片的使能管脚，控制电源的上电时序，如图 7 所示。

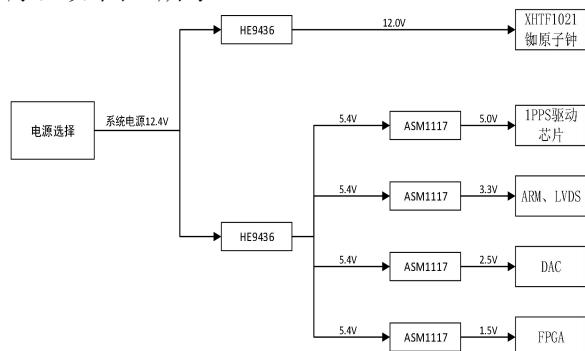


图 7. 电源模块设计原理框图

4. 测试与数据分析

4.1 设备工作测试流程

设备工作测试流程如图 8 所示，设备通电后进入初始化以及设备自检阶段（初始化时间约 10s），初始化完成后设备进入正常工作阶段，在正常工作初始阶段，铷钟进行

预热（预热过程在 30min，在此时间段设备不进行数字校频操作）、校时、信号产生以及故障巡检；铷钟预热完成后，若当前参考有效，则进行数字校频操作。

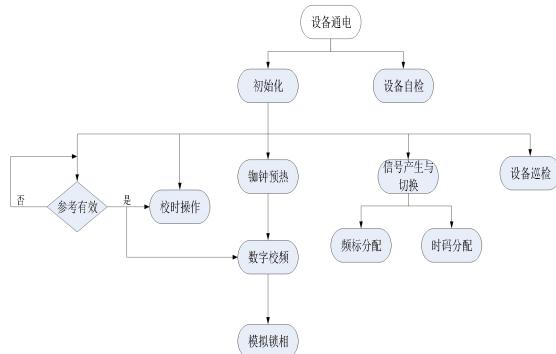


图 8. 设备工作测试流程图

正常的数字校频操作在 15min 以内完成铷钟的锁定，针对整个工作过程，若保证时统最终信号的信号输出（包含时标与频标）与参考保持同步，则从开机开始计算，大概需要 45min 能够正常工作。

铷钟自身的锁定时间为 5min（冷启动情况下）以内，模拟锁相过程大概需要

10min 左右；在铷钟自身锁定、正常校时以及模拟锁相正常的情况下，从开机开始计算，约需要 15min 能够正常工作。

4.2 实验数据分析

在封装完成后，我们选择对两台时频设备进行了对比测试，时频设备 1 是单 GPS 模式时频设备产品，时频设备 2 是本次设计所使用的北斗/GPS 多功能时频设备产品，我们在同等实验条件下分别对两个器件进行了对比实验，测试数据如表 1 所示。

通过对比实验，我们可以看到在输出电平指标，本设计时频设备的性能提高，输出杂波、输出各路之间隔离度、短期稳定度、准确度、相位噪声等指标都有所提升。时间同步稳定度指标提升不多，但不影响实际应用。本次研究实现了在卫星地面站中北斗/GPS 多功能时频设备的改进与升级，为卫星地面站设备选择和部署以及测试验证试验提供了参考，有利于北斗/GPS 多功能时频设备应用于卫星地面站技术的快速发展和提升。

表 1. 时频设备性能指标测试记录表

序号	测试项目	时频设备 1（单 GPS 模式）	时频设备 2（北斗/GPS 模式）
1	10MHz 输入幅度	0-10dBm	0-10dBm
2	10MHz 输出电平	11.34dBm	12.56dBm
3	10MHz 输出杂波	93.45dBc	96.75dBc
4	10MHz 输出各路之间隔离度	76.34dB	84.75dB
5	10MHz 短期稳定度	1.57E-11/20ms	2.73E-11/20ms
6	10MHz 准确度	2.34E-11/日	8.64E-13/日
7	10MHz 相位噪声	-133.7dBc/Hz (10Hz) -151.4dBc/Hz (100Hz) -155.5dBc/Hz (1kHz) -156.8dBc/Hz (10kHz)	-140.6dBc/Hz (10Hz) -153.6dBc/Hz (100Hz) -156.8dBc/Hz (1kHz) -159.9dBc/Hz (10kHz)
8	B (DC) 输出精度	2.15ns	0.89ns
9	采样脉冲信号宽度	25us	25us
10	采样脉冲信号输出电平	TTL 电平	TTL 电平
11	采样脉冲信号上升沿	5.8ns	2.3ns
12	时间相对同步精度	24 小时内: 34.47ns 24 小时后: 15.65ns	24 小时内: 33.07ns 24 小时后: 12.08ns
13	时间同步稳定度	12.8ps/s	10.3ps/s
14	NTP 输出精度	0.15ms	0.07ms

5. 结论

本文对北斗/GPS 多功能时频设备时码授时原理、时码产生模块工艺技术及硬件电路设计均进行了讨论分析。对研制过程中的授时接收机模块、锁相技术、监控电路设计技术、电源模块设计技术进行了详细阐述，并对测试过程中的各指标的论证和工程实现进行了详细介绍。通过对比两款时频设备可

以看出，北斗/GPS 多功能时频设备无论在性能指标上，还是在电路结构上，都要远优于单 GPS 模块时频设备，在时频设备中采用本设计电路，可减少电路模块的损耗，在保证时频设备增益的同时，提高了稳定度和准确度。本文设计的北斗/GPS 多功能时频设备进一步印证了北斗接收机模块在时频统一方面的优良特性。如何减小本地频率源器件

的制作成本，推广其应用成为了研究的重点。

参考文献

- [1]彭栋, 郭伟. 安全网络授时服务技术研究[J].时间频率学报, 2018, 41 (1) : 37-45.
- [2]卢继哲, 巫钟兴, 阿辽沙·叶, 等. 基于 NTP 协议的用电信息采集系统时间同步研究[J].电测与仪表, 2018, 55 (16) : 95-99.
- [3]王彦东, 邵英, 王黎明, 等. 基于舰船综合平台的精确同步数据采集设计[J]. 舰船科学技术, 2015 (4) : 70-75.
- [4]李超. 时间传递技术综述[J].现代导航, 2018, 9 (3) : 78-82.
- [5]帅涛, 林宝军, 张军, 等. 北斗导航卫星氢原子钟性能分析评估[J].中国科学: 物理力学天文学, 2021, 51 (1) : 121-130.
- [6]王颖, 董士伟, 董亚洲, 等.微波无线能量传输功率放大器效率提升的设计方法研究[J].空间电子技术, 2023, 20 (3) : 24-28.
- [7]潘志兵, 谢勇辉, 帅涛, 等. 小型化星载被动型氢原子钟研制[J].仪器仪表学报, 2020, 41 (3) : 105-112.
- [8]刘春保. 2019 年国外卫星导航系统发展综述[J].国际太空, 2020 (3) : 25-29.
- [9]张中英, 刘涛, 蒙艳松. 基于激光高速通信信号的精密测量方法与性能分析[J].空间电子技术, 2019, 16 (1) : 28-41.
- [10]王亚军, 张磊, 谷扬, 等.基于 FPGA 的北斗驯服铷原子频标装置的研制[J].计量学报, 2020, 41 (03) : 359-362.
- [11]戴群雄, 尹继凯.一种高精度时频综合及守时方法[J].全球定位系统, 2024, 49 (01) : 78-84.
- [12]卢鋆, 武建峰, 袁海波, 等.北斗三号系统时频体系设计与实现[J].武汉大学学报(信息科学版), 2023, 48 (8) : 1340-1348.
- [13]徐豪.一体化多路数字程控电源设计[J].电子技术应用, 2025, 51 (8) : 120-125.